

発明の名称

多出力電源装置

発明の背景

1. 発明の技術分野

本発明は、複数の電圧を出力する多出力電源回路に関し、特に、複数の電源回路の少なくとも2つに独立した制御回路を設けることにより、多出力電源の分散化および高効率化を図った多出力電源回路に関する。

2. 背景技術

従来、複数の電圧を出力する多出力電源回路においては、

- 1) 複数の出力を一つの制御回路で集中制御する(集中制御型)
 - 2) 出力毎に独立動作する各種電源回路を複数備える(分散制御型)
- 等の構成が知られている。

しかし、上記1)の集中制御型の構成では、

1) 各種電源に用いるスイッチング周波数が全て同じ周波数に制御されるため、出力電圧毎の最適発振周波数を設定することができず、これにより効率の最適化が図れない

2) 1つの制御回路により複数の出力電圧が共通に制御されるため、異常発生時に、全ての出力電圧とともにシャットダウンするか、全ての出力電圧とともにシャットダウンさせないかのいずれかの設定しかできず、この結果、どちらの設定にも適さないアプリケーションに対しては対応できないことになり、これに対応するためには、このための回路、部品の追加が必要となり、装置全体のコストアップが生じる

3) 各種電源回路に用いるスイッチング位相は、各出力電圧に対応して固定されており、その結果、各出力電圧に対応した最適位相設定ができない

4) 1つの制御回路により各出力電圧に対応した複数のスイッチング回路を制御するため、この1つの制御回路から各出力電圧に対応した複数のスイッチング回路へのそれぞれの配線が長くなり、その結果、その配線への外部ノイズの影響による不安定動作、誤動作および該配線から出るノイズの外部回路への影響が生じる

等の問題があった。

また、上記2)の分散制御型においては、

1) 各出力電圧に対応する電源回路がそれぞれ独立に動作するため、全ての出力電圧とともにシャットダウンする場合に対応できず、これに対応するためには、このための回路、部品の追加が必要となり、装置全体のコストアップが生じる

2) 各出力電圧に対応する電源回路がそれぞれ独立に動作するため、特定の出力電圧間で同期発振をさせることができず、この結果、ビートノイズが発生する等の問題があった。

また、従来、特開平08-256471号公報に示すように、複数のDCDCコンバータを接続して、多出力電源を構成した電源装置が開示されており、この特許文献1に記載された手法では、共通のリレー回路を用いて各DCDCコンバータの連動起動と連動停止を実現させている。

しかし、この特開平08-256471号公報に記載された手法では、DCDCコンバータの外部に複雑なリレー回路を設ける必要があるため、装置の小型化には不適切であった。

発明の開示

そこで、本発明は、出力電圧毎の効率の最適化を図ることができるとともに、任意の出力電圧間で同時シャットダウン、同期発振等が可能でかつ小型化可能な多出力電源装置を提供することを目的とする。

上記目的を達成するため、本発明は、独立した出力制御回路を備えた複数の電源回路を有する多出力電源装置であって、前記独立した出力制御回路を備えた電源回路は、自回路の異常発生時に自回路の動作停止を行うとともに、他の電源回路への異常信号を出力する異常信号出力手段をそれぞれ具備する。

ここで、前記独立した出力制御回路を備えた複数の電源回路は、他の電源回路から出力された異常信号を入力する異常信号入力手段と、前記異常信号入力手段による前記異常信号の入力により自回路の動作停止を行う動作停止手段とを更に具備する。

また、前記異常信号出力手段および前記異常信号入力手段は、単一の端子を用いて前記異常信号を入力出力する。

また、前記独立した出力制御回路を備えた複数の電源回路のうちの選択された電源回路は、前記他の電源回路から前記異常信号が出力されたときであっても、前記独立した出力制御回路により動作が継続される。

また、本発明は、独立した出力制御回路を備えた複数の電源回路を有する多出力電源装置であって、前記独立した出力制御回路を備えた電源回路は、自回路のスイッチング発振周波数に同期した同期発振信号を他の電源回路の出力制御回路に出力する同期発振信号出力手段をそれぞれ具備する。

ここで、前記独立した出力制御回路を備えた複数の電源回路は、他の電源回路から出力された同期発振信号を入力する同期発振信号入力手段と、前記同期発振信号入力手段による前記同期発振信号の入力により自回路の出力制御に用いるスイッチング発振周波数を同期制御する制御手段とを更に具備する。

また、前記同期発振信号出力手段および前記同期発振信号入力手段は、単一の端子を用いて入力出力する。

また、前記独立した出力制御回路を備えた複数の電源回路のうちの選択された電源回路は、前記他の電源回路から前記同期発振信号が出力されたときであっても、前記独立した出力制御回路により動作が継続される。

また、前記独立した出力制御回路を備えた複数の電源回路は、前記同期発振信号入力手段による前記同期発振信号のスイッチング位相により自回路の出力制御に用いるスイッチング位相を同期制御する制御手段を具備する。

また、本発明は、複数の電源回路で構成された多出力電源装置であって、前記複数の電源回路のうちの少なくとも2つが同期ラインで接続され、前記同期ラインで接続された第1および第2の電源回路は、それぞれ独立した制御回路を具備し、前記第1の電源回路に設けられた制御回路は、自回路のスイッチング周波数に同期した同期信号を前記同期ラインに出力する同期信号出力手段と、自回路の異常発生を示す異常信号を前記同期ラインに出力する異常信号出力手段とを具備し、前記第2の電源回路に設けられた制御回路は、前記同期ラインに出力された同期信号を自回路に入力する同期信号入力手段と、前記同期ラインに出力された異常信号を自回路に入力する異常信号入力手段とを具備する。

ここで、前記第1の電源回路に設けられた制御回路は、前記同期ラインに出力された異常信号を自回路に入力する異常信号入力手段をさらに具備し、前記第2の電源回路に設けられた制御回路は、自回路の異常発生を示す異常信号を前記同期ラインに出力する異常信号出力手段をさらに具備し、前記第1および第2の電源回路は、前記同期ラインから異常信号の入力があった場合、自回路を停止させる。

また、本発明は、複数の電源回路で構成された多出力電源装置であって、前記複数の電源回路のうちの少なくとも2つが同期ラインで接続され、前記同期ラインで接続された第1および第2の電源回路には、それぞれ独立した制御回路が設けられ、前記第1および第2の電源回路に設けられた各制御回路は、前記同期ラインに出力された同期信号を利用して自回路のスイッチング周波数を制御する周波数同期手段と、前記同期ラインに出力された異常信号を検出して自回路を停止させる異常信号検出手段とを具備する。

ここで、前記同期信号は、所定周波数のクロック信号で構成され、前記異常信号は、前記クロック信号を変化させることで生成され、前記異常信号検出手段は、前記クロック信号の変化を検出する。

また、前記クロック信号の変化は、前記第1の電源回路および／または第2の電源回路で生成される。

また、前記クロック信号の変化は、該クロック信号の停止で行われ、前記異

常信号検出手段は、前記クロック信号が停止した時間を計測し、所定時間以上の停止状態を検出したときに自回路を停止させる。

また、前記クロック信号の変化は、該クロック信号の電圧レベルの変化で行われ、前記異常信号検出手段は、前記クロック信号の電圧レベルを測定し、所定の電圧レベルを検出したときに自回路を停止させる。

本発明によれば、独立した制御回路を有する2つ以上の電源回路を連携させて多出力電源装置を構成したため、出力電圧毎の効率の最適化を図ることができるとともに、任意の出力電圧間で同時シャットダウン、同期発振等が可能になる。

図面の簡単な説明

図1は、本発明に係わる多出力電源装置の一実施の形態を示すブロック図である。

図2は、図1に示した電源回路30-1に設けられる昇降圧用制御回路の詳細構成を示したブロック図である。

図3は、図1に示した各電源回路に設けられるコンバータ回路の一例を示す回路図である。

図4は、本発明に係わる多出力電源装置の他の実施形態を示すブロック回路図である。

図5は、図4に示した電源回路30-1に設けられる昇降圧用制御回路の詳細構成を示したブロック図である。

図6は、図4に示した電源回路30-1に設けられる昇降圧用制御回路の他の構成例を示したブロック図である。

図7は、図4に示した電源回路30-2に設けられる昇圧用制御回路の他の構成例を示したブロック図である。

図8は、図4に示した電源回路30-4に設けられる降圧用制御回路の他の構成例を示したブロック図である。

図9は、図6、図7、図8に示した同期ラインモニタ350の構成例を示すブロック図である。

図10は、図9に示した同期ラインモニタの動作を示すタイミングチャートである。

図11は、図6、図7、図8に示した同期ラインモニタ350の別の構成例を示すブロック図である。

図12は、図11に示した同期ラインモニタの動作を示すタイミングチャートである。

発明を実施するための最良の形態

以下、本発明に係わる多出力電源装置の実施の形態を、添付図面を参照して詳細に説明する。図1は、本発明に係わる多出力電源装置の一実施の形態を示すブロック図である。

図1において、この多出力電源装置は、例えば、3.0V～5.5Vの電圧を発生する電源10に、昇降圧電源回路（マスタ）20-1、昇圧電源回路20-2、降圧電源回路（スレーブ）20-3、降圧電源回路20-4を平行に接続して構成され、昇降圧電源回路20-1から5.0Vの電圧を出力し、昇圧電源回路20-2から10Vの電圧を出力し、降圧電源回路20-3から2.5Vの電源電圧を出力し、降圧電源回路20-4から1.8Vの電圧を出力する。

ここで、昇降圧電源回路20-1、昇圧電源回路20-2、降圧電源回路20-3、降圧電源回路20-4には、それぞれ集積回路から構成される昇降圧用制御回路200-1、昇圧用制御回路200-2、降圧用制御回路200-3、降圧用制御回路200-4が設けられており、これら昇降圧用制御回路200-1、昇圧用制御回路200-2、降圧用制御回路200-3、降圧用制御回路200-4は、昇降圧電源回路20-1、昇圧電源回路20-2、降圧電源回路20-3、降圧電源回路20-4内の図示しないコンバータ回路のスイッチングを制御して、それぞれ、5.0V、10V、2.5V、1.8Vの電圧を発生する。

また、昇降圧用制御回路200-1には、自回路で異常が発生した場合に異常信号を出力するとともに、他回路からの異常信号を入力して自電源回路をシャットダウンするためのフォールト端子HLT（「HLT」は「Halt」または「Fault」の略。以下同様）および他の電源回路に対して上記コンバータ回路のスイッチングを同期するための同期発振信号を出力する同期発振出力端子CLKが設けられ、また、昇圧用制御回路200-2、降圧用制御回路200-3、降圧用制御回路200-4には、それぞれ自回路で異常が発生した場合に異常信号を出力するとともに、他回路からの異常信号を入力して自電源回路をシャットダウンするフォールト端子HLTおよび上記昇降圧用制御回路200-1の同期発振出力端子から出力された同期発振信号を入力して自装置の上記コンバータ回路のスイッチングを同期させる同期発振入力端子CLKが設けられている。

ここで、フォールト端子HLTは、いずれかの回路に異常が発生したことを知らせる異常信号だけでなく、強制的に回路を停止させたい場合に出力される強制停止信号の入出力端として使用することも可能である。

さて、この実施の形態の多出力電源装置においては、昇降圧電源回路20-

1の昇降圧用制御回路200-1のフォールト端子および昇圧電源回路20-2の昇圧用制御回路200-2のフォールト端子および降圧電源回路20-3の降圧用制御回路200-3のフォールト端子が相互に接続されており、これら昇降圧用制御回路200-1、昇圧用制御回路200-2、降圧用制御回路200-3のうちの1つで異常が検出されると、他の電源回路をシャットダウンするように構成されている。

なお、上記構成において、図1に示した降圧電源回路20-4の降圧用制御回路200-4のフォールト端子は、他の電源回路のフォールト端子に接続されていないので、他の電源回路で異常が検出されても、この降圧電源回路20-4がシャットダウンされることはない。

また、昇降圧電源回路20-1の昇降圧用制御回路200-1の同期発振出力端子は降圧電源回路20-3の降圧用制御回路200-3の同期発振入力端子に接続されており、降圧電源回路20-3のコンバータのスイッチングは昇降圧電源回路20-1のコンバータのスイッチングに同期するように構成されており、これにより昇降圧電源回路20-1と降圧電源回路20-3との間にはマスタスレーブの関係が構築されるようになっている。

また、上記構成において、昇圧電源回路20-2の昇圧用制御回路200-2の同期発振入力端子および降圧電源回路20-4の降圧用制御回路200-4の同期発振入力端子は、昇降圧電源回路20-1の昇降圧用制御回路200-1の同期発振出力端子に接続されていないので、昇圧電源回路20-2および降圧電源回路20-4は、降圧電源回路20-1のコンバータのスイッチングに同期せずに独立して動作する。

なお、各電源回路のフォール端子間の接続および同期発振出力端子との接続は任意であり、この接続形態により共通してシャットダウンする電源回路およびコンバータのスイッチングに関してマスタスレーブの関係を持つ電源回路をユーザの所望の利用形態に合わせて任意に設定することができる。

また、図1においては、電源10に対して昇降圧電源回路20-1、昇圧電源回路20-2、降圧電源回路20-3、降圧電源回路20-4をそれぞれパラレルに接続したが、一部の電源回路をシリアルの関係に接続してもよい。

図2は、図1に示した昇降圧電源回路20-1に設けられる昇降圧用制御回路200-1の詳細構成を昇降圧用制御回路200として示したブロック図である。

図2において、この昇降圧用制御回路200の端子T1は、図1に示した昇降圧用制御回路200-1の同期発振出力端子に対応し、端子T3は、図1に示した昇降圧用制御回路200-1のフォールト端子に対応する。

なお、図1に示した昇圧用制御回路200-2、降圧用制御回路200-3、

降圧用制御回路200-4も図2に示した昇降圧用制御回路200と同一に構成することができ、この場合、図1に示す昇圧用制御回路200-2、降圧用制御回路200-3、降圧用制御回路200-4の同期発振入力端子は、図2に示した昇降圧用制御回路200の端子T2に対応する。

さて、図2に示す昇降圧用制御回路200は、発振器201、基準電圧発生回路202、出力電圧監視回路203、駆動回路204、出力電圧異常検出回路205を具備して構成される。

この昇降圧用制御回路200の基本的動作は、発振器201から発生される発振信号に応じて駆動回路204を制御し、端子Tswからこの昇降圧用制御回路200が設けられた電源回路内のコンバータのスイッチングを制御するスイッチング信号を出力する。

端子Vccには、この昇降圧用制御回路200を制御する電源電圧Vccが印加され、この電源電圧Vccは基準電圧発生回路202に加えられるとともに駆動回路204に加えられる。

基準電圧発生回路202は、この昇降圧用制御回路200を動作させるための基準電圧を発生するもので、この基準電圧発生回路202から発生された基準電圧は、発振器201、出力監視回路203、出力電圧異常検出回路205に加えられる。

出力電圧監視回路203は、端子Tmから入力されるこの昇降圧用制御回路200が設けられた電源回路の出力電圧を監視し、この出力電圧が所望の値に安定出力されるように駆動回路204を制御する。

駆動回路204は、発振器201から出力される発振信号および出力電圧監視回路203の出力に基づきこの昇降圧用制御回路200が設けられた電源回路内のコンバータのスイッチング信号を形成する。なお、このコンバータ回路の詳細は後に図3を参照して説明する。

出力電圧異常検出回路205は、端子Tmから入力されるこの昇降圧用制御回路200が設けられた電源回路の出力電圧に基づきこの電源回路の異常を検出する。また、この出力電圧異常検出回路205は、端子T3から入力された異常信号に基づき他の電源回路での異常を検出する。そしてこれらの異常の検出に際しては、異常信号を端子T3から出力して他の電源回路に通知するとともに、発振器201にこの異常信号を出力して、発振器201の発振を停止させ、この昇降圧電源回路20-1をシャットダウンする。

なお、図1に示した他の電源回路に設けられた昇圧用制御回路200-2、降圧用制御回路200-3、降圧用制御回路200-4の動作も上記図2に示した昇降圧用制御回路200-1の動作と基本的には同様である。

図3は、図1に示した各電源回路に設けられるコンバータ回路の一例を示す

回路図である。

図3において、図3(a)の回路は、昇圧および降圧が可能なコンバータ回路の一例を示すもので、例えば、図1に示した昇降圧電源回路20-1内に設けられる。このコンバータ回路は、入力端子 T_{in} に接続されたコンデンサ C_{11} 、図2に示した昇降圧用制御回路200の端子 T_{sw} から出力されるスイッチング信号によりスイッチングされるスイッチ素子 SW_1 、コイル L_{11} およびコイル L_{12} を含むトランス TF 、ダイオード D_1 、出力端子 T_{out} に接続されるコンデンサ C_{12} から構成される。

この図3(a)の回路は、入力端子 T_{in} に図1に示した電源10からの例えば、3.0~5.5Vの直流電圧を入力し、スイッチ SW_1 のスイッチングによりダウンコンバートした5.0Vの直流電圧を出力端子 T_{out} から出力する。

また、図3(b)は、昇圧が可能なコンバータ回路の一例を示すもので、例えば、図1に示した昇圧電源回路20-2内に設けられる。このコンバータ回路は、入力端子 T_{in} に接続されたコンデンサ C_{21} 、コイル L_2 、図2に示した昇降圧用制御回路200と同様の昇圧用制御回路200-2の端子 T_{sw} に対応する端子から出力されるスイッチング信号によりスイッチングされるスイッチ素子 SW_2 、ダイオード D_2 、出力端子 T_{out} に接続されるコンデンサ C_{22} から構成される。

この図3(b)の回路は、入力端子 T_{in} に図1に示した電源10からの例えば、3.0~5.5Vの直流電圧を入力し、スイッチ SW_2 のスイッチングによりアップコンバートした10Vの直流電圧を出力端子 T_{out} から出力する。

また、図3(c)は、降圧が可能なコンバータ回路の一例を示すもので、例えば、図1に示した降圧電源回路20-3および降圧電源回路20-4内に設けられる。このコンバータ回路は、入力端子 T_{in} に接続されたコンデンサ C_{31} 、図2に示した昇降圧用制御回路200と同様の降圧用制御回路200-3若しくは降圧用制御回路200-4の端子 T_{sw} に対応する端子から出力されるスイッチング信号によりスイッチングされるスイッチ素子 SW_3 、ダイオード D_3 、コイル L_3 、出力端子 T_{out} に接続されるコンデンサ C_{32} から構成される。

この図3(c)の回路は、入力端子 T_{in} に図1に示した電源10からの例えば、3.0~5.5Vの直流電圧を入力し、スイッチ SW_3 のスイッチングによりダウンコンバートした2.5V若しくは1.8Vの直流電圧を出力端子 T_{out} から出力する。

また、図3(d)は、負の電圧を出力可能なコンバータ回路の一例を示すも

のである。このコンバータ回路は、入力端子 T_{in} に接続されたコンデンサ C_{41} 、図2に示した昇降圧用制御回路200と同様の制御回路の端子 T_{sw} に対応する端子から出力されるスイッチング信号によりスイッチングされるスイッチ素子 SW_4 、コイル L_4 、ダイオード D_4 、出力端子 T_{out} に接続されるコンデンサ C_{42} から構成される。

この図3(d)の回路は、入力端子 T_{in} に図1に示した電源10からの例えば、3.0～5.5Vの直流電圧を入力し、スイッチ SW_4 のスイッチングにより負の直流電圧を出力端子 T_{out} から出力する。この図3(d)の回路は、負の直流電圧が必要な場合に採用することができる。

なお、図3(a)～(d)の回路において、スイッチ素子 SW_1 ～ SW_4 は、それぞれ、例えば、電界効果トランジスタ(FET)を用いて構成することができる。

図4は、本発明に係わる多出力電源装置の他の実施の形態を示すブロック回路図である。

この実施の形態の多出力電源装置は、図1に示した実施の形態で示した異常信号を入出力するフォールト端子と、同期発振信号を出入力する同期発振出力端子および同期発振入力端子と共通の端子から構成できるようにしたもので、その他の基本的構成および動作は図1に示したものと同様である。なお、図4において図1に示した多出力電源装置と同一の機能を果たす部分には説明の便宜上同一の符号を付する。

すなわち、図4において、この多出力電源装置は、図1に示した多出力電源装置と同様に、例えば、3.0V～5.5Vの電圧を発生する電源10に、昇降圧電源回路(マスタ)30-1、昇圧電源回路(スレーブ)30-2、降圧電源回路(スレーブ)30-3、降圧電源回路20-4をバラレルに接続して構成され、昇降圧電源回路30-1から5.0Vの電圧を出力し、昇圧電源回路30-2から10Vの電圧を出力し、降圧電源回路30-3から2.5Vの電源電圧を出力し、降圧電源回路30-4から1.8Vの電圧を出力する。

ここで、昇降圧電源回路30-1、昇圧電源回路30-2、降圧電源回路30-3、降圧電源回路30-4には、それぞれ集積回路から構成される昇降圧用制御回路300-1、昇圧用制御回路300-2、降圧用制御回路300-3、降圧用制御回路300-4が設けられており、これら昇降圧用制御回路300-1、昇圧用制御回路300-2、降圧用制御回路300-3、降圧用制御回路300-4は、昇降圧電源回路30-1、昇圧電源回路30-2、降圧電源回路30-3、降圧電源回路30-4内のコンバータ回路のスイッチングを制御して、それぞれ、5.0V、10V、2.5V、1.8Vの電圧を発生する。なお、昇降圧電源回路30-1、昇圧電源回路30-2、降圧電源回路

30-3、降圧電源回路30-4内に設けられるコンバータ回路は、図3で説明したコンバータ回路と同様のものを用いることができる。

さて、この実施の形態の多出力電源装置においては、昇降圧用制御回路300-1には、他の電源回路に対して上記コンバータ回路のスイッチングを同期するための同期発振信号を出力するとともに、自回路で異常が発生した場合に異常信号を出力し、また、他回路からの異常信号を入力して自電源回路をシャットダウンするための同期発振出力兼フォールト端子CLK&HLTが設けられ、昇圧用制御回路300-2、降圧用制御回路300-3、降圧用制御回路300-4には、上記昇降圧用制御回路300-1の同期発振出力兼フォールト出力端子から出力された同期発振信号および異常信号を入力するとともに、自回路で異常が発生した場合に異常信号を出力するための同期発振入力兼フォールト端子CLK&HLTが設けられている。ここで使用する「HLT」もHaltとFaultの両方を含むものとする。

そして、この実施の形態の多出力電源装置においては、昇降圧電源回路30-1の昇降圧用制御回路300-1の同期発振出力兼フォールト端子と昇圧電源回路30-2の昇圧用制御回路300-2および降圧電源回路30-3の降圧用制御回路300-3の同期発振入力兼フォールト端子とをそれぞれ接続している。

このような構成によると、昇降圧用制御回路200-1、昇圧用制御回路200-2、降圧用制御回路200-3のうちの1つで異常が検出されると、他の電源回路をシャットダウンするように制御され、また、昇降圧電源回路30-1と昇圧電源回路30-2および降圧電源回路30-3との間はマスタスレーブの関係が構築されることになり、昇圧電源回路30-2および降圧電源回路30-3のコンバータのスイッチングは昇降圧電源回路30-1のコンバータのスイッチングに同期して制御される。

なお、上記構成においては、降圧電源回路30-4の降圧用制御回路300-4の同期発振入力兼フォールト端子は、他の電源回路に接続されていないので、他の電源回路で異常が検出されても、この降圧電源回路30-4がシャットダウンされず、また、降圧電源回路30-4は、昇降圧電源回路30-1のコンバータのスイッチングに同期せずに独立して動作する。

なお、昇降圧電源回路30-1の昇降圧用制御回路300-1の同期発振出力兼フォールト端子と他の電源回路の同期発振入力兼フォールト端子との接続は任意であり、この接続形態により共通してシャットダウンする電源回路およびコンバータのスイッチングに関してマスタスレーブの関係を持つ電源回路をユーザの所望の利用形態に合わせて任意に設定することができる。

また、図4においても、図1の構成と同様に、電源10に対して昇降圧電源

回路30-1、昇圧電源回路30-2、降圧電源回路30-3、降圧電源回路30-4をそれぞれパラレルに接続したが、一部の電源回路をシリアルの関係に接続してもよい。

図5は、図4に示した昇降圧電源回路30-1に設けられる昇降圧用制御回路300-1の詳細構成を昇降圧用制御回路300として示したブロック図である。

図5において、端子T21およびT22は、図4に示した昇降圧用制御回路300-1の同期発振出力兼フォールト端子CLK&HLTに対応する。

なお、図4に示した昇圧用制御回路300-2、降圧用制御回路300-3、降圧用制御回路300-4も図5に示した昇降圧用制御回路300と同一に構成することができ、この場合、図4に示す昇圧用制御回路300-2、降圧用制御回路300-3、降圧用制御回路300-4の同期発振入力兼フォールト端子は、図5に示した回路の端子T22に対応する。

図5に示す昇降圧用制御回路300は、図2に示した昇降圧用制御回路200と基本構成は同一であるが、図2において、端子T3で示したフォールト端子を同期発振出力端子T1および同期発振入力端子T2と共用した点が異なる。

すなわち、図5に示す昇降圧用制御回路300は、発振器301、基準電圧発生回路302、出力電圧監視回路303、駆動回路304、出力電圧異常検出回路305、異常信号出力スイッチ306および307を具備して構成される。

ここで、この昇降圧用制御回路300は、発振器301から発生される発振信号に応じて駆動回路304を制御し、端子Tswからこの昇降圧用制御回路300が設けられた電源回路内のコンバータのスイッチングを制御するスイッチング信号を出力する。

端子Vccには、この昇降圧用制御回路300を制御する電源電圧Vccが印加され、この電源電圧Vccは基準電圧発生回路302に加えられるとともに駆動回路304に加えられる。

基準電圧発生回路302は、この昇降圧用制御回路300を動作させるための基準電圧を発生するもので、この基準電圧発生回路302から発生された基準電圧は、発振器301、出力監視回路303、出力電圧異常検出回路305に加えられる。

出力電圧監視回路303は、端子Tmから入力されるこの昇降圧用制御回路300が設けられた電源回路の出力電圧を監視し、この出力電圧が所望の値に安定出力されるように駆動回路204を制御する。

駆動回路304は、発振器301から出力される発振信号および出力電圧監視回路303の出力に基づきこの昇降圧用制御回路300が設けられた電源回

路内のコンバータのスイッチング信号を形成する。なお、このコンバータ回路は図3に示した回路と同様の回路を用いることができる。

出力電圧異常検出回路305は、端子T_mから入力されるこの昇降圧用制御回路300が設けられた電源回路の出力電圧に基づきこの電源回路の異常を検出し、異常か検出された際には異常信号出力スイッチ306および307をオンにする。これにより、端子T₂₁および端子T₂₂はともに接地レベルとなる。

したがって、図4に示した昇圧用制御回路300-2、降圧用制御回路300-3、降圧用制御回路300-4においては、同期発振入力兼フォールト端子の電圧レベルが接地レベルになることになり、これにより昇圧用制御回路300-2、降圧用制御回路300-3、降圧用制御回路300-4では昇降圧電源回路30-1の異常を知ることができる。

具体的には、同期発振入力兼フォールト端子の電圧レベルが接地レベルになると、図5の端子T₂₂が接地レベルになり、これにより発振器301の発振が停止し、昇圧電源回路30-2、降圧電源回路30-3がシャットダウンする。

同様に、図4に示した昇降圧電源回路30-1においては、昇圧用制御回路300-2、降圧用制御回路300-3、降圧用制御回路300-4のいずれかの同期発振入力兼フォールト端子の電圧レベルが接地レベルになることにより図5の端子T₂₁が接地レベルになり、これにより発振器301の発振が停止し、昇降圧電源回路30-1がシャットダウンする。

図6は、図4に示した昇降圧電源回路に設けられる昇降圧用制御回路の他の構成例を示したブロック図である。同図に示す昇降圧用制御回路30-1は、符号C₁₁、SW₁、L₁₁、TF、L₁₂、D₁、C₁₂で示した要素を含む電力変換ブロックと、この電力変換ブロックを制御する制御回路300-1とで構成される。尚、この電力変換ブロックは、図3(a)に示したものと同一回路で構成される。

また、この昇降圧用制御回路30-1には、図4に示した電源10に接続するための入力端子T_{in}と、図示しない負荷に接続するための出力端子T_{out}と、図4に示した同期ライン320に接続するための同期兼フォールト端子CLK&HLT端子とが設けられる。尚、本発明においては、マスタと接続されるスレーブは1つでも良いし、2つ以上であっても良い。

図6に示した制御回路300-1は、図4に示した同期ライン320の状態を検出する同期ラインモニタ350と、電力変換ブロックの異常を検出する電源モニタ352とを具備し、OR素子354を介してモード切替スイッチ360、362、364を制御する。この制御回路300-1は、ICで構成する

ことが望ましく、電力変換ブロックとの接続は、駆動回路304と電源モニタ352とを介して行われる。ここで、駆動回路304は、前述の実施形態で説明したように、発振器301の出力を利用して電力変換ブロックのスイッチング動作を制御し、所望のレギュレーション電圧を生成する。

同期ラインモニタ350は、図4の同期ライン320に出力された同期信号を検出して自回路のスイッチング周波数を制御するとともに、異常信号を検出して自回路の動作停止を制御する。

電源モニタ352は、電力変換ブロックの出力電圧および出力電流を検出し、レギュレーション電圧の変動や過電流状態を判定する。この判定の結果、電力変換ブロックまたは図示しない負荷に異常があると判断した場合は、自回路の動作を停止させる。

同期ラインモニタ350および電源モニタ352の出力は、OR素子354に接続され、該OR素子354の出力は、モード切替スイッチ360、362、364に接続される。このような構成により、同期ラインモニタ350または電源モニタ352のいずれかで異常が検出されると、モード切替スイッチ360、362、364のモードが切り替えられる。

ここで、各モード切替スイッチは、正常時に図中「0」で示した接点側に接続され、異常時に図中「1」で示した接点側に接続される。即ち、この電源回路（マスタ）30-1の正常モードでは、スイッチ360がオープンとなり、かつ、スイッチ362が発振器301を同期ライン320に接続することで、この電源回路（マスタ）30-1の発振器301で生成されたクロック信号が同期ライン320に出力される。また、スイッチ364により、電力変換ブロックが図示しない負荷に接続される。

一方、電源回路（マスタ）30-1の異常モードでは、スイッチ360が同期ライン320をGNDに接地するとともに、スイッチ362が発振器301を同期ライン320および駆動回路304から切り離すことで、自回路の動作を停止させるとともに、スレーブとなる電源回路へのクロック信号の出力を停止させる。同時に、スイッチ364により、電力変換ブロックと図示しない負荷とが切り離され、負荷への電力供給が停止する。

図7は、図4に示した電源回路に設けられる昇圧用制御回路の他の構成例を示したブロック図である。同図に示す昇圧用制御回路30-2は、符号C21、L2、SW2、D2、C22で示した要素を含む電力変換ブロックと、この電力変換ブロックを制御する制御回路300-2とで構成される。尚、この電力変換ブロックは、図3（b）に示したものと同一回路で構成される。

また、この昇降圧用制御回路30-2には、図4に示した電源10に接続するための入力端子Tinと、図示しない負荷に接続するための出力端子Tou

tと、図4に示した同期ライン320に接続するための同期兼フォールト端子CLK&HLT端子とが設けられる。

図7に示した制御回路300-2は、モード切替スイッチ362の設定以外は、図6に示した制御回路300-1と同様に構成される。即ち、この電源回路(スレーブ)30-2では、モード切替スイッチ362を端子「1」側に固定することで、正常、異常のいずれに拘わらず発振器301を同期ライン320と駆動回路304から切り離し、電源回路(マスタ)30-1で生成されたクロック信号を自回路に取り込む形で構成される。このような構成により、電源回路(マスタ)30-1のスイッチング周波数に同期した形で、電源回路(スレーブ)30-2のスイッチング制御が行われる。

ここで、モード切替スイッチ360、364については、電源回路(マスタ)30-1と同様に制御され、自回路に異常があった場合には、このスイッチ360により同期ライン320をGNDに接地し、他の電源回路に自回路の異常を通知するとともに、スイッチ364により、電力変換ブロックと図示しない負荷とが切り離され、負荷への電力供給が停止する。

尚、図4に示した電源回路(スレーブ)30-3についても、電力変換ブロック以外は、この電源回路(スレーブ)30-2と同様に構成し、電源回路(マスタ)30-1との同期が取られ、かつ、同期ライン320で接続された電源回路30-1、30-2、30-3の異常が検出できる構成としておく。

図8は、図4に示した降圧電源回路に設けられる降圧用制御回路の他の構成例を示したブロック図である。同図に示す降圧用制御回路30-4は、モード切替スイッチ360、362、366の設定以外は、図7に示した制御回路300-2と同様に構成される。即ち、この電源回路30-4では、モード切替スイッチ360を常に端子「0」側に固定するとともに、モード切替スイッチ366をオープンにすることで、同期ライン320とは分離し、モード切替スイッチ362を常に端子「0」側に固定することで、自己の発振器301で動作させる。

図9は、図6、図7、図8に示した同期ラインモニタ350の構成例を示すブロック図である。この図に示す同期ラインモニタは、反転素子370と、カウンタ372と、デコーダ374と、OR素子376とで構成され、同期兼フォールト端子CLK&HLTからの信号を反転素子370を介してカウンタ372のセット端子に入力するとともに、同期兼フォールト端子CLK&HLTからの信号をカウンタ372のリセット端子に入力する。

図10は、図9に示した同期ラインモニタの動作を示すタイミングチャートである。図中、「CLK」で示した信号は、電源回路(マスタ)30-1の発振器301が生成するクロック信号の状態を示し、「CLK&HLT」で示した信

号は、同期ライン320に流れるクロック信号の状態を示し、「a」で示した信号は、図9のカウンタ372がカウントしている期間を示し、「b」で示した信号は、図9に示したデコーダ374が出力する信号の状態を示す。

図10の「CLK」に示すように、電源回路（マスタ）30-1の発振器301は、所定周波数のクロック信号を生成し、同期ライン320に接続された電源回路が正常である場合には、この信号が該各電源回路のスイッチング周波数として使用される。

ここで、図中の「CLK&HLT」に示すように、あるタイミングでいずれかの電源回路に異常が発生すると、異常発生があった電源回路内のスイッチ360が同期ライン320をGNDに接地し、同期ライン320のCLK&HLT信号をGNDレベルに固定する。

同期ライン320のクロック信号に上記のような変化があると、各電源回路に設けられた同期ラインモニタ350には、常にGNDレベルの信号が入力される。その結果、同期ラインモニタ350内のカウンタ372には、常にセット信号が入力され、カウンタ372がカウント動作を継続して行う（図中、Hiレベルで示した期間）。

図9に示したデコーダ374は、カウンタ372がインクリメントした値を所定の値T1と比較することで、カウンタの計数時間を計測し、この計測時間がT1に達したときにHiレベルの信号を出力する。デコーダ374がHiレベルの信号を出力すると、OR素子376を介してカウンタ372がリセットされる。その結果、図6、図7、図8に示したOR素子354を介して、各モード切替スイッチが異常モードに切り替えられる。

図11は、図6、図7、図8に示した同期ラインモニタ350の別の構成例を示すブロック図である。この図に示す同期ラインモニタは、比較器380で構成され、同期兼フォールト端子CLK&HLTからのクロック信号の電圧レベルが基準電圧Vrefとなったときに異常と判断する例である。

図12は、図11に示した同期ラインモニタの動作を示すタイミングチャートである。図中、「CLK」で示した信号は、電源回路（マスタ）30-1の発振器301が生成するクロック信号の状態を示し、「CLK&HLT」で示した信号は、同期ライン320に流れるクロック信号の状態を示し、「b」で示した信号は、図11に示した比較器380が出力する信号の状態を示す。

図12の「CLK」に示すように、電源回路（マスタ）30-1の発振器301は、所定周波数のクロック信号を生成し、同期ライン320に接続された電源回路が正常である場合には、この信号が該各電源回路のスイッチング周波数として使用される。

ここで、図中の「CLK&HLT」に示すように、あるタイミングでいずれ

かの電源回路に異常が発生すると、異常発生があった電源回路内の制御回路が同期ライン320の電圧レベルをVrefに固定する。具体的には、図6および図7に示したモード切替スイッチ360を用いて、Vrefの値を有する参照電圧を同期ライン320に接続すれば良い。尚、Vrefの値は、図12に示すように、V1およびV0より低くても良いし、V0およびV1より高くても良く、V1、V0と区別できる電圧値であれば良い。

同期ライン320のクロック信号に上記のような変化があると、各電源回路に設けられた同期ラインモニタ350には、常にVrefレベルの信号が入力される。その結果、各電源回路の比較器380はHiレベルの信号を出力し、図6、図7、図8に示した各モード切替スイッチが異常モードに切り替えられる。

本発明によれば、出力電圧毎の効率の最適化を図ることができるとともに、任意の出力電圧間で同時シャットダウンや同期発振等が可能になるため、より高度な制御が要求される電源システムへの適用が期待される。

請求の範囲

1. 独立した出力制御回路を備えた複数の電源回路を有する多出力電源装置であって、

前記独立した出力制御回路を備えた電源回路は、
自回路の異常発生時に自回路の動作停止を行うとともに、
他の電源回路への異常信号を出力する異常信号出力手段を
それぞれ具備する多出力電源装置。

2. 前記独立した出力制御回路を備えた複数の電源回路は、
他の電源回路から出力された異常信号を入力する異常信号入力手段と、
前記異常信号入力手段による前記異常信号の入力により自回路の動作停止を
行う動作停止手段と

を更に具備する請求項 1 記載の多出力電源装置。

3. 前記異常信号出力手段および前記異常信号入力手段は、
単一の端子を用いて前記異常信号を入力出力する請求項 2 記載の多出力電源
装置。

4. 前記独立した出力制御回路を備えた複数の電源回路のうちの選択さ
れた電源回路は、

前記他の電源回路から前記異常信号が出力されたときであっても、前記独立
した出力制御回路により動作が継続される請求項 2 記載の多出力電源装置。

5. 独立した出力制御回路を備えた複数の電源回路を有する多出力電源
装置であって、

前記独立した出力制御回路を備えた電源回路は、
自回路のスイッチング発振周波数に同期した同期発振信号を他の電源回路の
出力制御回路に出力する同期発振信号出力手段を
それぞれ具備する多出力電源装置。

6. 前記独立した出力制御回路を備えた複数の電源回路は、
他の電源回路から出力された同期発振信号を入力する同期発振信号入力手段
と、

前記同期発振信号入力手段による前記同期発振信号の入力により自回路の出
力制御に用いるスイッチング発振周波数を同期制御する制御手段と
を更に具備する請求項 5 記載の多出力電源装置。

7. 前記同期発振信号出力手段および前記同期発振信号入力手段は、単一の端子を用いて入力出力する請求項 6 記載の多出力電源装置。

8. 前記独立した出力制御回路を備えた複数の電源回路のうちの選択された電源回路は、

前記他の電源回路から前記同期発振信号が出力されたときであっても、前記独立した出力制御回路により動作が継続される請求項 6 記載の多出力電源装置。

9. 前記独立した出力制御回路を備えた複数の電源回路は、前記同期発振信号入力手段による前記同期発振信号のスイッチング位相により自回路の出力制御に用いるスイッチング位相を同期制御する制御手段を具備する請求項 6 記載の多出力電源装置。

10. 複数の電源回路で構成された多出力電源装置であって、前記複数の電源回路のうちの少なくとも 2 つが同期ラインで接続され、前記同期ラインで接続された第 1 および第 2 の電源回路は、それぞれ独立した制御回路を具備し、

前記第 1 の電源回路に設けられた制御回路は、

自回路のスイッチング周波数に同期した同期信号を前記同期ラインに出力する同期信号出力手段と、

自回路の異常発生を示す異常信号を前記同期ラインに出力する異常信号出力手段とを具備し、

前記第 2 の電源回路に設けられた制御回路は、

前記同期ラインに出力された同期信号を自回路に入力する同期信号入力手段と、

前記同期ラインに出力された異常信号を自回路に入力する異常信号入力手段と

を具備する多出力電源装置。

11. 前記第 1 の電源回路に設けられた制御回路は、前記同期ラインに出力された異常信号を自回路に入力する異常信号入力手段

をさらに具備し、

前記第 2 の電源回路に設けられた制御回路は、自回路の異常発生を示す異常信号を前記同期ラインに出力する異常信号出力手段

をさらに具備し、

前記第 1 および第 2 の電源回路は、
前記同期ラインから異常信号の入力があった場合、自回路を停止させる請求項 10 記載の多出力電源装置。

12. 複数の電源回路で構成された多出力電源装置であって、
前記複数の電源回路のうちの少なくとも 2 つが同期ラインで接続され、
前記同期ラインで接続された第 1 および第 2 の電源回路には、それぞれ独立した制御回路が設けられ、
前記第 1 および第 2 の電源回路に設けられた各制御回路は、
前記同期ラインに出力された同期信号を利用して自回路のスイッチング周波数を制御する周波数同期手段と、
前記同期ラインに出力された異常信号を検出して自回路を停止させる異常信号検出手段と
を具備する多出力電源装置。

13. 前記同期信号は、所定周波数のクロック信号で構成され、
前記異常信号は、前記クロック信号を変化させることで生成され、
前記異常信号検出手段は、前記クロック信号の変化を検出する請求項 12 記載の多出力電源装置。

14. 前記クロック信号の変化は、前記第 1 の電源回路および／または第 2 の電源回路で生成される請求項 13 記載の多出力電源装置。

15. 前記クロック信号の変化は、該クロック信号の停止で行われ、
前記異常信号検出手段は、前記クロック信号が停止した時間を計測し、所定時間以上の停止状態を検出したときに自回路を停止させる請求項 13 記載の多出力電源装置。

16. 前記クロック信号の変化は、該クロック信号の電圧レベルの変化で行われ、
前記異常信号検出手段は、前記クロック信号の電圧レベルを測定し、所定の電圧レベルを検出したときに自回路を停止させる請求項 13 記載の多出力電源装置。

要約書

出力毎の効率の最適化を図ることができるとともに、各出力間で同時シャットダウン、同期発振等が可能な多出力電源装置である。電源に接続される各種電源回路をそれぞれ設け、各種電源回路は、自回路の異常発生時に他の各種電源回路へ異常信号を出力するとともに、他の各種電源回路からの異常信号により自回路の動作を停止する機能および自回路の制御に用いるスイッチング発振周波数に同期した同期発振信号を他の各種電源回路に出力して他の電源回路制御に用いるスイッチング周波数を同期制御させる機能を設ける。